


Serial No.: Unknown
W&B Docket No.: INF 2233-US
OC Docket No.: INFN/0058

CERTIFICATE OF MAILING
37 CFR 1.8

I hereby certify that this correspondence is being deposited on
3 June 2004 with the United States Postal
Service as First Class Mail in an envelope addressed to:
Commissioner for Patents, P.O. Box 1450 Alexandria, VA
22313-1450.

3 June 2004 William B. Iltis
Date Signature


 William B. Patterson
 Registration No. 34,102
 MOSER, PATTERSON & SHERIDAN, L.L.P.
 3040 Post Oak Blvd., Suite 1500
 Houston, TX 77056
 Telephone: (713) 623-4844
 Facsimile: (713) 623-4846
 Attorney for Applicant(s)

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 07 027.3

Anmeldetag: 20. Februar 2003

Anmelder/Inhaber: Infineon Technologies AG,
81669 München/DE

Bezeichnung: Verfahren und Testeinrichtung zum Ermitteln einer
Reparaturlösung für einen Speicherbaustein

IPC: G 11 C 29/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 12. Februar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Beschreibung

Verfahren und Testeinrichtung zum Ermitteln einer Reparaturlösung für einen Speicherbaustein

Die Erfindung betrifft ein Verfahren zum Ermitteln einer Reparaturlösung für einen Speicherbaustein in einem Testsystem. Die Erfindung betrifft weiterhin eine Testeinrichtung zum Ermitteln einer Reparaturlösung für einen an die Testeinrichtung anschließbaren Speicherbaustein.

Speicherbausteine, insbesondere Speicherbausteine mit dynamischen Speicherzellen, DRAMs, lassen sich nicht fehlerfrei herstellen. So sind nach der Herstellung der Speicherbausteine immer einige der Speicherzellen fehlerhaft. Um diese defekten Speicherzellen reparieren zu können, werden zusätzliche Speicherzellen auf dem Speicherbaustein vorgesehen. Diese zusätzlichen Speicherzellen werden redundante Speicherzellen genannt.

Nach dem Herstellen des Speicherbausteins werden die Funktion der einzelnen Speicherzellen überprüft. Durch Beschreiben und Auslesen einer Speicherzelle können dabei fehlerhafte Speicherzellen erkannt werden. Der Fehler in einer Speicherzelle wird erkannt, indem das hineingeschriebene mit dem ausgelesenen Datum verglichen wird, wobei ein Fehler erkannt wird, wenn sich das hineingeschriebene und ausgelesene Datum unterscheidet. Der Vergleich zwischen den geschriebenen und den ausgelesenen Daten kann sowohl im Speicherbaustein selbst als auch im Testsystem erfolgen.

Die so generierten Vergleichsdaten werden Fehlerdaten genannt und geben an, ob ein Fehler in einer Speicherzelle vorliegt. Häufig sind nur Speicherbereiche mit mehreren Speicherzelle durch redundante Speicherbereiche ersetzbar, so dass es ausreicht, dass ein Fehlerdatum angibt, ob ein Fehler in dem

Speicherbereich vorliegt. Dadurch wird die Menge an Fehlerdaten reduziert.

Der Testablauf wird im Wesentlichen durch eine Testeinrichtung gesteuert, in der sich ein Fehleradressenspeicher befindet, in dem die ermittelten Fehlerdaten abgespeichert werden. Der Fehleradressenspeicher ist im Wesentlichen ein Abbild des Speicherzellenfeldes, wobei ein Speicherplatz des Fehleradressenspeichers eine Speicherzelle oder einen Speicherbereich mit mehreren Speicherzellen des Speicherbausteins abbildet.

Ein in einem Speicherplatz des Fehleradressenspeichers gesetztes Bit entspricht dann einer oder mehreren defekten Speicherzellen im Speicherbaustein. Ist das Bit nicht gesetzt, so liegt kein Fehler vor.

Der Fehleradressenspeicher dient als Grundlage für die Redundanzberechnung, mit dessen Hilfe ein Ersetzen der fehlerhaften Speicherzellen durch ein Abschalten der fehlerhaften Speicherbereiche und ein Aktivieren von redundanten Speicherelementen vorgenommen wird. Speicherelemente können beispielsweise Wortleitungsgruppen aus einer oder mehreren Wortleitungen oder Bitleitungsgruppen aus einer oder mehreren Bitleitungen sein. Da in dem Fehleradressenspeicher die Fehlerdaten für alle Speicherbereiche abgelegt werden, also auch für funktionsfähige Speicherbereiche, ist bei einem parallelen Testen von mehreren Speicherbausteinen mit großer Speicherkapazität ein großer Fehleradressenspeicher erforderlich. Dieser Fehleradressenspeicher muss schnelle Zugriffszeiten aufweisen, um die Testgeschwindigkeit nicht zu verringern und damit den Durchsatz des Testsystems zu erhöhen.

Es ist Aufgabe der vorliegenden Erfindung, ein Testverfahren, eine Testeinrichtung und ein Testsystem vorzusehen, bei dem die Größe des Fehleradressenspeichers reduziert werden kann.

Diese Aufgabe wird durch das Verfahren nach Anspruch 1, durch die Testeinrichtung nach Anspruch 5, durch die Testsysteme

nach Anspruch 10 und 12 sowie durch den Speicherbaustein nach Anspruch 11 gelöst.

Weitere vorteilhafte Ausgestaltungen der vorliegenden Erfindung sind in den abhängigen Ansprüchen angegeben.

- 5 Gemäß einem ersten Aspekt der vorliegenden Erfindung ist ein Verfahren zum Ermitteln einer Reparaturlösung für einen Speicherbaustein in einem Testsystem vorgesehen. Speicherbereiche aus einer oder mehrerer Speicherzellen werden nacheinander
10 getestet, um für jeden Speicherbereich ein Fehlerdatum zu erhalten, das angibt, ob der jeweilige Speicherbereich fehlerhaft ist. Aus den Adressen der Speicherbereiche und den zugehörigen Fehlerdaten werden Fehleradressen generiert, deren Adresswert die fehlerhaften Speicherbereiche des Speicherbausteins angeben. Die Fehleradressen werden in dem Testsystem
15 gespeichert, wobei aus den gespeicherten Fehleradressen die Reparaturlösung ermittelt wird.

- Das erfindungsgemäße Verfahren hat den Vorteil, dass die Speichergröße des Fehlerspeichers deutlich geringer gewählt werden kann als bisher. In herkömmlichen Testsystemen ist ein
20 Fehlerdatenspeicher vorgesehen, der im Wesentlichen für jeden Speicherbereich einen Speicherplatz bereitstellt, in dem ein Fehlerdatum abgespeichert wird. So wird beispielsweise eine logische „0“ in dem Speicherplatz gespeichert, wenn der entsprechende Speicherbereich in dem getesteten Speicherbaustein
25 fehlerfrei ist. Eine logische „1“ wird abgespeichert, wenn ein Fehler beim Testen des entsprechenden Speicherbereiches aufgetreten ist.

- Demgegenüber sieht die Erfindung nun vor, dass bei Auftreten eines Fehlers in einem Speicherbereich des zu testenden Speicherbausteines die Adresse des Speicherbereiches ermittelt
30 wird und diese in dem Fehleradressenspeicher der Testeinrichtung abgelegt wird. Da die Anzahl fehlerhafter Speicherbereiche ein einem Speicherbaustein gegenüber der Gesamtanzahl der

Speicherbereiche üblicherweise relativ gering ist bzw. nur eine geringe Anzahl von fehlerhaften Speicherbereichen in dem Speicherbaustein repariert werden können, kann die Größe eines solchen Fehleradressenspeichers wesentlich geringer gewählt werden als die Größe des herkömmlichen Fehlerdatenspeichers. Da nur die Fehleradressen zur Berechnung der Reparaturlösung notwendig sind, können die Informationen über fehlerfreie Speicherbereiche verworfen werden.

Es kann weiterhin vorgesehen sein, dass die Speicherbereiche jeweils eine oder mehrere Speicherzellen aufweisen, die jeweils über eine der Adresse zugeordnete Wortleitungsgruppe aus einer oder mehreren Wortleitungen und über eine der Adresse zugeordnete Bitleitungsgruppe aus einer oder mehreren Bitleitungen adressierbar sind. Die Reparaturlösung gibt an, ob ein fehlerhafter Speicherbereich durch ein Ersetzen der entsprechenden Wortleitungsgruppe durch eine redundante Wortleitungsgruppe aus einer oder mehreren redundanten Wortleitungen oder durch ein Ersetzen der entsprechenden Bitleitungsgruppe durch eine redundante Bitleitungsgruppe aus einer oder mehreren redundanten Bitleitungen repariert werden soll.

Eine Anzahl von fehlerhaften Speicherbereichen wird zwingend als durch eine redundante Wortleitungsgruppe zu ersetzen markiert, wenn die fehlerhaften Speicherbereiche durch eine gemeinsame Wortleitungsgruppe adressierbar sind und die Anzahl eine erste Maximalanzahl übersteigt. Eine Anzahl von fehlerhaften Speicherbereichen wird zwingend als durch eine redundante Bitleitungsgruppe zu ersetzen markiert, wenn die fehlerhaften Speicherbereiche durch eine gemeinsame Bitleitungsgruppe adressierbar sind und die Anzahl eine zweite Maximalanzahl übersteigt. Die dadurch bereits als zu ersetzenden markierten Speicherbereiche werden bei der weiteren Ermittlung der Redundanzlösung berücksichtigt, indem diesen markierten Speicherbereichen eine verfügbare redundante Wortleitungsgruppe oder eine verfügbare redundante Bitleitungsgruppe zugeordnet wird.

Dadurch wird in vorteilhafter Weise erreicht, dass die Berechnung der Reparaturlösung vereinfacht wird, indem fehlerhafte Speicherbereiche, die ohnehin nur durch eine redundante Wortleitungsgruppe bzw. eine redundante Bitleitungsgruppe ersetzt werden können, als durch diese zu ersetzen markiert werden. Dies erfolgt bereits während der Ermittlung der Fehleradressen. Zur weiteren Berechnung der Reparaturlösung werden nur die noch nicht als durch die redundanten Wortleitungsgruppen bzw. Bitleitungsgruppen zu ersetzen erkannten Speicherbereiche berücksichtigt. Dies vereinfacht das Verfahren zur Ermittlung der Reparaturlösung erheblich, da im allgemeinen eine geringere Anzahl von Fehleradressen im weiteren Verlauf der Ermittlung der Reparaturlösung berücksichtigt werden muss.

Vorzugsweise entspricht die erste Maximalanzahl der Anzahl der verfügbaren redundanten Bitleitungsgruppen und/oder die zweite Maximalanzahl der Anzahl der verfügbaren Wortleitungsgruppen. Die Wortleitungsgruppen bzw. Bitleitungsgruppen würden somit vor dem eigentlichen Ermitteln der Reparaturlösung als zu ersetzen markiert, wenn es keine andere Möglichkeit gibt, die entsprechenden fehlerhaften Speicherbereiche zu ersetzen.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist eine Testeinrichtung zum Ermitteln einer Reparaturlösung für einen an die Testeinrichtung anschließbaren Speicherbaustein vorgesehen. Die Testeinrichtung weist eine Steuereinheit auf, um einen Testvorgang für Speicherbereiche in dem Speicherbaustein durchzuführen. Es ist weiterhin eine Speichereinheit vorgesehen, um einen Wert einer Fehleradresse zu speichern, die angibt, welche Adresse eines Speicherbereiches des Speicherbausteins fehlerhaft ist. Weiterhin ist eine Auswerteeinheit vorgesehen, um aus den gespeicherten Fehleradressen die Reparaturlösung zu ermitteln. Der anschließbare Speicherbaustein umfasst Speicherbereiche, die jeweils eine oder mehrere Speicherzellen aufweisen. Die Speicherbereiche sind jeweils

über eine der Adresse zugeordnete Wortleitungsgruppe aus einer oder mehreren Wortleitungen und über eine der Adresse zugeordnete Bitleitungsgruppe aus einer oder mehreren Bitleitungen adressierbar. Die Reparaturlösung gibt an, ob ein fehlerhafter Speicherbereich durch ein Ersetzen der entsprechenden Wortleitungsgruppe durch eine redundante Wortleitungsgruppe aus einer oder mehreren redundanten Wortleitungen oder durch ein Ersetzen der entsprechenden Bitleitungsgruppe durch eine redundante Bitleitungsgruppe aus einer oder mehreren redundanten Bitleitungen repariert werden soll.

Auf diese Weise wird eine Testeinrichtung vorgesehen, die abhängig von der Anzahl auftretender Fehler mit einem erheblich geringeren Speicherbedarf für den Fehleradressenspeicher auskommt als herkömmliche Testeinrichtungen. Dadurch, dass lediglich die Fehleradressen gespeichert werden, die die fehlerhaften Speicherbereiche angeben, und nicht eine Abbildung des gesamten Speichers des Speicherbausteins in dem Fehlerdatenspeicher des Testsystems vorgenommen wird, lässt sich in erheblichem Maße Speicherplatz für den Fehlerspeicher einsparen.

Vorzugsweise ist jeder Wortleitungsgruppe ein erstes Speichersegment mit einer ersten Anzahl von Fehleradressenspeicherplätzen zugeordnet, um eine erkannte Fehleradresse in der entsprechenden ersten Speichersegment der Wortleitungsgruppe zu speichern, mit der der fehlerhafte Speicherbereich adressierbar ist. Jeder Bitleitungsgruppe ist vorzugsweise ein zweites Speichersegment mit einer zweiten Anzahl von Fehleradressenspeicherplätzen zugeordnet, um eine erkannte Fehleradresse in dem entsprechenden zweiten Speichersegment der Bitleitungsgruppe zu speichern, mit der der fehlerhafte Speicherbereich adressierbar ist. Die erste Anzahl entspricht der Anzahl der vorhandenen redundanten Bitleitungsgruppen und die zweite Anzahl der Anzahl der vorhandenen redundanten Wortleitungsgruppen.

Auf diese Weise kann die Speichereinheit in der Testeinrichtung so gestaltet werden, dass eine Zuordnung von Speicherplätzen zu Wortleitungsgruppen und Bitleitungsgruppen in den zu testenden Speicherbausteinen bereits vorab erfolgt ist.

- 5 Dies ermöglicht eine schnellere Adressierung des Fehleradressenspeichers. Weiterhin ermöglicht es, durch einen Überlauf des einer Wortleitungsgruppe oder einer Bitleitungsgruppe zugeordneten Fehleradressenspeicherplätzen zu erkennen, dass die jeweilige Wortleitungsgruppe bzw. die jeweilige Bitleitungsgruppe durch eine redundante Wortleitungsgruppe bzw. eine redundante Bitleitungsgruppe ersetzt werden soll.

- 10 Vorzugsweise legt die Auswerteeinheit bei der Ermittlung der Reparaturlösung als Reparaturlösung für die über eine Wortleitungsgruppe adressierbaren fehlerhaften Speicherbereiche
15 unbedingt eine verfügbare redundante Wortleitungsgruppe fest, wenn die erste Anzahl die Anzahl der vorhandenen redundanten Bitleitungsgruppen übersteigt. Die Auswerteeinheit legt für die über eine Bitleitungsgruppe adressierbaren fehlerhaften Speicherbereiche unbedingt eine redundante Bitleitungsgruppe
20 fest, wenn die zweite Anzahl die Anzahl der vorhandenen redundanten Wortleitungsgruppen übersteigt.

- Auf diese Weise stellt die Auswerteeinheit ohne aufwendige Berechnung die in jedem Fall durch eine verfügbare Wortleitungsgruppe oder eine Bitleitungsgruppe zu ersetzenden Speicherbereiche bereits vorab fest. Fehlerhafte Speicherbereiche, die ohnehin mangels einer ausreichenden Anzahl von redundanten Bitleitungsgruppen nur mit Hilfe einer redundanten Wortleitungsgruppe repariert werden können, werden als „durch eine redundante Wortleitungsgruppe zu reparieren“ markiert.
25
30 Ebenso werden Speicherbereiche, die mangels vorhandener redundanter Wortleitungsgruppe nur mit einer redundanten Bitleitung repariert werden können, als „durch eine redundante Bitleitung zu reparieren“ markiert.

Im Verlauf der weiteren Ermittlung der Reparaturlösung werden die Fehleradressen der unbedingt zu ersetzenden Wortleitungs- und/oder Bitleitungsgruppen bei der Ermittlung der Reparaturlösung bezüglich der verbliebenen Fehleradressen nicht berücksichtigt. Es wird lediglich den als unbedingt durch eine redundante Wortleitungsgruppe bzw. Bitleitungsgruppe zu reparierenden Speicherbereichen eine redundante Wortleitungsgruppe bzw. Bitleitungsgruppe zugewiesen. Dadurch wird das Verfahren zur Ermittlung der Reparaturlösung erheblich verkürzt, da häufig weniger Fehleradressen zu berücksichtigen sind.

Vorzugsweise kann die Testeinrichtung eine Wandlerschaltung aufweisen, um Speicherbereichen zugeordnete Fehlerdaten in Fehleradressen umzuwandeln, indem die Fehleradresse durch die Adresse des Speicherbereichs bestimmt ist, an der ein Fehler erkannt worden ist. Eine solche Testeinrichtung empfängt Fehlerdaten, die entsprechenden Speicherbereichen zugeordnet sind. Die Fehlerdaten geben an, ob ein Fehler in dem jeweiligen Speicherbereich aufgetreten ist oder nicht. Dadurch, dass die Wandlerschaltung in der Testeinrichtung vorgesehen ist, kann auf eine solche Schaltung in dem Speicherbaustein verzichtet werden.

Alternativ kann auch in einem Speicherbaustein eine solche Wandlerschaltung vorgesehen werden, so dass die an die Testeinrichtung zu übertragenden Daten erheblich minimiert werden können, da lediglich die Fehleradressen und nicht Informationen über fehlerfreie Speicherbereiche übertragen werden.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Testsystem mit einer erfindungsgemäßen Testeinrichtung und einem Speicherbaustein vorgesehen.

Bevorzugte Ausführungsformen der Erfindung werden im Folgenden anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

Figuren 1A, 1B Testsysteme nach dem Stand der Technik;

Fig. 2 eine Darstellung von dem das Speicherzellenfeld des Speicherbausteins abbildenden Fehlerdatenspeicher;

Figuren 3A, 3B eine Darstellung für verschiedene Möglichkeiten zum Ersetzen von fehlerhaften Speicherbereichen;

5 Figuren 4A, 4B Ausführungsformen für ein Testsystem gemäß der vorliegenden Erfindung;

Fig. 5 eine Darstellung der Zuordnung der Speicherplätze der Speichereinheit in einem erfindungsgemäßen Testsystem; und

10 Fig. 6 ein Flussdiagramm zur Darstellung des erfindungsgemäßen Verfahrens.

In Fig. 1A ist ein Testsystem nach dem Stand der Technik dargestellt. Das Testsystem weist eine Testeinrichtung 1 auf, an die ein zu testender Speicherbaustein 2 angeschlossen ist.

15 Die Testeinrichtung 1 stellt Adressdaten zur Verfügung, die über Adressleitungen 3 dem zu testenden Speicherbaustein 2 zur Verfügung gestellt werden. Über Datenleitungen 4 werden in die Speicherzellen des zu testenden Speicherbausteins hineinzuschreibende Daten sowie die aus den Speicherzellen ausgelesenen Daten zwischen dem Speicherbaustein 2 und der Test-

20 einrichtung 1 übertragen.

Beim Testen werden Testdaten in die Speicherzellen des Speicherbausteins 2 gemäß der über die Adressleitungen 3 vorgegebenen Adresse geschrieben. Anschließend werden die geschriebenen Daten über die Datenleitungen 4 wieder ausgelesen und

25 in einer Vergleicherschaltung 5 die hineingeschriebenen und die anschließend wieder ausgelesenen Testdaten miteinander verglichen. Wird eine Abweichung festgestellt, so ist die betreffende Speicherzelle fehlerhaft.

Die Testeinrichtung 1 weist weiterhin einen Fehlerdatenspeicher

30 cher auf, der im Wesentlichen ein Abbild des zu testenden Speichers in dem Speicherbaustein 2 ist. Nun kann vorgesehen sein, dass der Fehlerdatenspeicher 6 in der Testeinrichtung 1 im Wesentlichen die gleiche Größe aufweist wie der Speicher in dem zu testenden Speicherbaustein 2. Die Fehlerdaten, die

sich als Ergebnis des Vergleichs in der Vergleichereinrichtung 5 ergeben, werden so in dem Fehlerdatenspeicher 6 abgelegt, dass jeder Speicherplatz des Fehlerdatenspeichers 6 einer Adresse einer Speicherzelle des Speicherbausteins 2 zugeordnet ist.

Aus den in dem Fehlerdatenspeicher 6 abgelegten Fehlerdaten wird nun eine Reparaturlösung ermittelt, die angibt, durch welche redundanten Speicherelemente die betreffende fehlerhafte Speicherzelle ersetzt werden sollen. Da die redundanten Speicherelemente häufig eine oder mehrere redundante Wortleitungen bzw. eine oder mehrere redundante Bitleitungen umfassen, ist es ausreichend, dass ein Fehlerdatum angibt, ob mindestens eine der Speicherzellen eines Speicherbereiches, der durch einen redundanten Speicherbereich ersetzt werden kann, fehlerhaft ist. In diesem Fall kann der Fehlerdatenspeicher 6 kleiner sein als der zu testende Speicher des Speicherbausteins 2. Es werden nämlich dort nur jeweils ein Fehlerdatum für einen Speicherbereich, der mehrere Speicherzellen aufweisen kann, bereitgestellt. Auf diese Weise wird die Fehlerinformation redundanzkonform komprimiert.

In Fig. 1B ist eine weitere Möglichkeit eines Testsystems dargestellt. In diesem Fall ist die Vergleicherschaltung 5 bereits in dem Speicherbaustein 2 integriert, so dass lediglich die Fehlerdaten über eine entsprechende Fehlerdatenleitung 7 an die Testeinrichtung 1 übertragen werden müssen.

In Fig. 2 ist dargestellt, wie der Fehlerdatenspeicher ein Abbild des Speichers des Speicherbausteins 2 darstellt. Man erkennt, dass ein in dem Speicherfeld des Speicherbausteins 2 aufgetretener Fehler in einer Speicherzelle eine Speicherung eines entsprechenden ein Fehler anzeigendes Fehlerdatum, z.B. einer logischen „1“, in dem Fehlerdatenspeicher 6 hervorruft. Eine einen Fehler anzeigende Fehlerdatei kann auch durch eine logische „1“ angezeigt werden. Die schraffierten Kreise in dem Speicher des Speicherbausteins 2 geben eine fehlerhafte

Speicherzelle bzw. einen fehlerhaften Speicherbereich an. Die schraffierten Kreise in dem Fehlerdatenspeicher 6 zeigen Fehlerdaten an, die einen Fehler in dem betreffenden Speicherbereich des Speicherbausteins 2 anzeigen, z.B. eine logische
5 „1“.

In Fig. 3A ist dargestellt, wie beispielsweise vier fehlerhafte Speicherbereiche, die entlang einer Wortleitung WL liegen, ersetzt werden können. Dabei wird beispielhaft von einem Speicherzellenfeld 10 ausgegangen, wobei in dem zu testenden Speicherbaustein 2 vier redundante Wortleitungsgruppen 11 und vier redundante Bitleitungsgruppen 12 vorgesehen sind. Eine Wortleitungsgruppe umfasst eine oder mehrere Wortleitungen, eine Bitleitungsgruppe umfasst eine oder mehrere Bitleitungen. Die Größe der Wortleitungsgruppe bzw. der Bitleitungsgruppe richtet sich danach, wie groß die jeweils zu ersetzenden Speicherbereiche sein sollen. Eine Wortleitungsgruppe in dem Speicherzellenfeld 10 wird also durch eine redundante Wortleitungsgruppe gleicher Größe ersetzt, ebenso wird eine Bitleitungsgruppe in dem Speicherzellenfeld 10 durch eine redundante Bitleitungsgruppe gleicher Größe ersetzt.
10
15
20

Die Anzahl der redundanten Wortleitungsgruppen und redundanten Bitleitungsgruppen ist für einen vorgegebenen Speicherbaustein festgelegt aber im Wesentlichen frei wählbar und durch die Auftretenswahrscheinlichkeit von Fehlern in dem Speicherzellenfeld bestimmt. Im Allgemeinen kann jeder Fehler in einem Speicherbereich durch das Einsetzen des betreffenden Speicherbereichs durch eine redundante Wortleitungsgruppe oder eine redundante Bitleitungsgruppe korrigiert werden. Im gezeigten Fall können die vier fehlerhaften Speicherbereiche, die über eine Wortleitungsgruppe adressierbar sind, durch eine redundante Wortleitungsgruppe oder vier redundante Bitleitungsgruppen ersetzt werden.
25
30

Sind eine größere Anzahl von fehlerhaften Speicherbereichen entlang einer Wortleitungsgruppe angeordnet, als redundante

Bitleitungsgruppen zur Verfügung stehen, können diese fehlerhaften Speicherbereiche wie in Fig. 3B dargestellt, nur durch eine redundante Wortleitungsgruppe, jedoch nicht durch redundante Bitleitungsgruppen vollständig ersetzt werden, da nicht
5 genügend redundante Bitleitungsgruppen vorhanden sind.

Übersteigt also die Anzahl der fehlerhaften Speicherbereiche entlang einer Wortleitungsgruppe oder einer Bitleitungsgruppe nicht die Anzahl der zur Verfügung stehenden redundanten Bitleitungsgruppen bzw. redundanten Wortleitungsgruppen, so ist
10 die Reparaturlösung nicht eindeutig und muss gemäß bekannten Verfahren zur Ermittlung der Reparaturlösung bestimmt werden. Überschreitet die Anzahl der fehlerhaften Speicherbereiche entlang einer Wortleitungsgruppe bzw. entlang einer Bitleitungsgruppe die Anzahl der zur Verfügung stehenden redundanten
15 Bitleitungsgruppen bzw. redundanten Wortleitungsgruppen, so müssen die entsprechenden Wortleitungsgruppen durch eine redundante Wortleitungsgruppe bzw. die Bitleitungsgruppe durch eine redundante Bitleitungsgruppe ersetzt werden.

In Fig. 4A ist eine erste Ausführungsform eines erfindungsgemäßen Testsystems dargestellt. An eine Testeinrichtung 20 ist ein zu testender Speicherbaustein 21 über Adressleitungen 22 und Datenleitungen 23 angeschlossen. Die Testeinrichtung 20 stellt zum Testen des Speicherbausteins 21 Testadressen über die Adressleitungen 22 sowie Testdaten über die Datenleitungen
25 gen 23 zur Verfügung.

In einer Vergleichereinrichtung 24 werden die hineingeschriebenen und anschließend wieder ausgelesenen Daten verglichen und Fehlerdaten einer Wandlerschaltung 25 zur Verfügung gestellt, in der mit Hilfe der jeweils getesteten Adresse und dem ermittelten Fehlerdatum eine Fehleradresse FA generiert
30 wird, die in einem Fehleradressenspeicher 26 abgespeichert wird. Der Testvorgang sowie das Generieren von Testmustern wird in einer Teststeuereinheit 27 durchgeführt. Ist in dem Speicherbaustein 21 eine Testschaltung vorgesehen, werden die

Testadressen und Testdaten im Speicherbaustein 21 generiert, so dass die Teststeuereinheit 27 entfallen kann.

Die zweite Ausführungsform des erfindungsgemäßen Testsystems ist in Fig. 4B dargestellt. Die zweite Ausführungsform unterscheidet sich von der ersten Ausführungsform im Wesentlichen dadurch, dass die Vergleicherschaltung 24 nicht in der Testeinrichtung 20, sondern als zweite Vergleicherschaltung 28 in dem zu testenden Speicherbaustein 21 vorgesehen ist. Auf diese Weise können Datenleitungen zum Übertragen der ausgelesenen Testdaten eingespart werden, da lediglich die durch die in dem zu testenden Speicherbaustein 21 vorgesehene zweite Vergleicherschaltung 28 generierten Fehlerdaten an die Testeinrichtung 20 übertragen werden müssen.

Der Fehleradressenspeicher 26 ist mit einer Auswerteeinheit 29 verbunden, die eine Reparaturlösung aus den ermittelten Fehleradressen bestimmt. Die Auswerteeinheit 29 kann sowohl in der Testeinrichtung 20 als auch von der Testeinrichtung 20 getrennt ausgeführt sein.

In Fig. 5 ist der Aufbau eines Fehleradressenspeichers, wie er in dem erfindungsgemäßen Testsystem verwendet werden soll, dargestellt. Der Fehleradressenspeicher 26 ist segmentiert, wobei jeder der Wortleitungsgruppen WLG in dem Speicherbaustein 21 ein erstes Speichersegment 30 in dem Fehleradressenspeicher 26 und jeder der Bitleitungsgruppen des Speicherbausteins 2 ein zweites Speichersegment 31 des Fehleradressenspeichers 26 zugeordnet ist. Die ersten Speichersegmente 30 weisen eine Anzahl von Adressspeicherplätzen auf, die der Anzahl von verfügbaren redundanten Bitleitungen entspricht. Die zweiten Speichersegmente weisen eine Anzahl von Adressspeicherplätzen auf, die der Anzahl von verfügbaren redundanten Wortleitungsgruppen entspricht.

Dadurch, dass der Fehleradressenspeicher 26 in dieser Form segmentiert ausgebildet ist, steht jeder der Wortleitungs-

gruppen und jeder der Bitleitungsgruppen des zu testenden Speicherbausteins ein definierter Speicherbereich im Fehleradressenspeicher 26 zur Verfügung, so dass eine Zuweisung eines Speicherbereiches bei einer anstehenden Fehleradresse nicht erfolgen muss. Dies führt zu einer Zeiteinsparung beim Speichern der Fehleradressen.

Darüber hinaus kann der Fehleradressenspeicher 26 so ausgebildet sein, dass bei einem versuchten Speichern in einer Fehleradresse in einem der ersten oder zweiten Speichersegmente 30, 31 bei einem Überlaufen des jeweiligen Speichersegmentes 30, 31 dazu führt, dass ein erstes bzw. zweites Ersetzen-Register 32, 33, das jedem der ersten und zweiten Speichersegmente 30, 31 des Fehleradressenspeichers 26 vorgesehene Ersetzen-Register 32, 33 auf einen Wert gesetzt wird, der anzeigt, dass die jeweilige dem jeweiligen Speichersegment 30, 31 zugeordnete Wortleitungsgruppe WLG oder Bitleitungsgruppe BLG in jedem Fall durch eine redundante Wortleitungsgruppe oder redundante Bitleitungsgruppe ersetzt werden muss.

Beim Ermitteln der Reparaturlösung werden zunächst den Speichersegmenten, deren zugeordnete Ersetzen-Register 32, 33 gesetzt sind, jeweils redundante Wortleitungsgruppen bzw. eine redundante Bitleitungsgruppe zugewiesen. Ist ein Ersetzen-Register 32, 33 gesetzt, so wird die Wortleitungsgruppe, die dem entsprechenden Speichersegment zugeordnet ist, durch eine entsprechende verfügbare redundante Wortleitungsgruppe und die Bitleitungsgruppe, die dem entsprechenden Speichersegment zugeordnet ist, durch eine verfügbare redundante Bitleitungsgruppe ersetzt. Das weitere Ermitteln der Reparaturlösung wird dann nur noch bezüglich der Fehleradressen durchgeführt, die in dem ersten und zweiten Speichersegmenten 30, 31 gespeichert sind, deren zugeordnete Ersetzen-Register 32, 33 nicht gesetzt worden ist.

In Fig. 6 ist ein Flussdiagramm für eine Ausführungsform des erfindungsgemäßen Verfahrens dargestellt. Es betrifft die

Speicherung der Fehleradressen sowie das Setzen der Ersetzen-Registers 32, 33 in dem Fehleradressenspeicher 26. In Schritt S1 werden Fehlerdaten ermittelt, die das Ergebnis eines Vergleichens der in das Speicherzellenfeld hineingeschriebenen Testdaten und die anschließenden ausgelesenen Daten ist. Wird durch das Fehlerdatum ein Fehler angezeigt, so wird die jeweils dem Fehler zugeordnete getestete Speicherbereichsadresse als Fehleradresse in einem Schritt S2 generiert.

Anschließend werden in einem Schritt S3 die Speichersegmente 30, 31 bereitgestellt, die der jeweiligen Wortleitungsgruppe oder Bitleitungsgruppe, die den fehlerhaften Speicherbereich adressieren, zugeordnet sind. In einem Schritt S4 wird die ermittelte Fehleradresse und die in dem ersten Speichersegment abgespeicherten Fehleradressen miteinander verglichen. Wird in einem Schritt S5 festgestellt, dass die ermittelte Fehleradresse eine neue Fehleradresse ist, die noch nicht in dem zugeordneten ersten Speichersegment 30 gespeichert ist, wird die ermittelte Fehleradresse dem Speichersegment hinzugefügt (S6). In einem Schritt S7 wird überprüft, ob die hinzugefügte Fehleradresse zu einem Überlauf des ersten Speichersegments 30 führt. Wenn ja, wird in einem Schritt S8 das erste Ersetzen-Register 32 gesetzt.

Anschließend wird die ermittelte Fehleradresse in einem Schritt S9 mit dem in dem zweiten zugeordneten Speichersegment gespeicherten Fehleradressen verglichen. Wird in einem Schritt S10 ein Fehler festgestellt, wird die ermittelte Fehleradresse den in dem Speichersegment gespeicherten Fehleradressen in einem Schritt S11 hinzugefügt. Führt das Hinzufügen der Fehleradresse zu dem zweiten Speichersegment zu einem Überlauf (Schritt S12), so wird das zweite Ersetzen-Register 33 gesetzt (Schritt S13).

Wenn in dem Schritt S10 festgestellt wurde, dass die Fehleradresse bereits in dem zweiten Speichersegment gespeichert ist, wird zu dem Schritt S1 zurückgesprungen.

Wird keine neue Fehleradresse in dem Schritt S10 gefunden oder wird im Schritt S13 das zweite Ersetzen-Register gesetzt, so wird zunächst in einem Schritt S14 überprüft, ob weitere Fehlerdaten vorliegen, die gespeichert werden sollen. Wenn
5 ja, wird zu Schritt S1 zurückgesprungen. Wenn nein, werden zunächst den durch ein gesetztes erstes und / oder zweites Ersetzen-Register 32, 33 markierten Wortleitungsgruppen und / oder Bitleitungsgruppen redundante Wortleitungsgruppen bzw. Bitleitungsgruppen zugewiesen und anschließend der Teil der
10 Reparaturlösung anhand der Fehleradressen ermittelt, die nach dem Ersetzen der bereits bestimmten Wortleitungsgruppen oder Bitleitungsgruppen übrig geblieben sind.

Das zuvor beschriebene Verfahren kann auch vorsehen, dass nur die ersten Speichersegmente 30 oder nur die zweiten Speicher-
15 segmente vorgesehen sind, so dass nur Wortleitungsgruppen oder nur Bitleitungsgruppen zum Ersetzen bestimmt werden, bevor die Ermittlung der Reparaturlösung mit den übrigen im Fehleradressenspeicher gespeicherten Fehleradressen erfolgt.

Patentansprüche

1. Verfahren zum Ermitteln einer Reparaturlösung für einen Speicherbaustein (21) in einem Testsystem, wobei Speicherbereiche des Speicherbausteins (21) nacheinander getestet werden, um für jeden Speicherbereich ein Fehlerdatum zu erhalten, das angibt, ob der jeweilige Speicherbereich fehlerhaft ist, dadurch gekennzeichnet, dass aus Adressen der Speicherbereiche und den zugehörigen Fehlerdaten Fehleradressen (FA) generiert werden, deren Adresswerte die fehlerhaften Speicherbereiche des Speicherbausteins angeben, wobei in dem Testsystem die Fehleradressen (FA) gespeichert werden, wobei aus den gespeicherten Fehleradressen (FA) die Reparaturlösung ermittelt wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Speicherbereiche jeweils eine oder mehrere Speicherzellen aufweisen, die jeweils über eine der Adresse zugeordnete Wortleitungsgruppe (WLG) aus einer oder mehreren Wortleitungen und über eine der Adresse zugeordnete Bitleitungsgruppe (BLG) aus einer oder mehreren Bitleitungen adressierbar sind, wobei die Reparaturlösung angibt, ob ein fehlerhafter Speicherbereich durch ein Ersetzen der entsprechenden Wortleitungsgruppe (WLG) durch eine redundante Wortleitungsgruppe aus einer oder mehreren redundanten Wortleitungen oder durch ein Ersetzen der entsprechenden Bitleitungsgruppe (BLG) durch eine redundante Bitleitungsgruppe aus einer oder mehreren redundanten Bitleitungen repariert werden soll, wobei eine Anzahl von fehlerhaften Speicherbereichen durch eine redundante Wortleitungsgruppe ersetzt wird, wenn festgestellt wird, dass die fehlerhaften Speicherbereiche durch eine gemeinsame Wortleitungsgruppe (WLG) adressierbar sind und die Anzahl eine erste Maximalanzahl übersteigen,

wobei eine Anzahl von fehlerhaften Speicherbereichen durch eine redundante Bitleitungsgruppe ersetzt wird, wenn festgestellt wird, dass die fehlerhaften Speicherbereiche durch eine gemeinsame Bitleitungsgruppe (BLG) adressierbar sind und
5 die Anzahl eine zweite Maximalanzahl übersteigen.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass bei zur vollständigen Ermittlung der Redundanzlösung die bereits ersetzten fehlerhaften Speicherbereiche unberücksichtigt bleiben.

10 4. Verfahren nach Anspruch 2 bis 3, dadurch gekennzeichnet, dass die erste Maximalanzahl der Anzahl der verfügbaren redundanten Bitleitungsgruppen und/oder die zweite Maximalanzahl der Anzahl der verfügbaren redundanten Wortleitungsgruppe entspricht.

15 5. Testeinrichtung (20) zum Ermitteln einer Reparaturlösung für einen an die Testeinrichtung (20) anschließbaren Speicherbaustein (21), mit einer Steuereinheit (27), um einen Testvorgang für Speicherbereiche in dem Speicherbaustein (21) durchzuführen, mit einer Speichereinheit, um einen Wert einer
20 Fehleradresse zu speichern, die angibt, welche Adresse eines Speicherbereiches des Speicherbausteins (21) fehlerhaft ist, mit einer Auswerteeinheit (29), um aus den gespeicherten Fehleradressen die Reparaturlösung zu ermitteln, wobei der anschließbare Speicherbaustein (21) Speicherbereiche umfasst, die jeweils eine oder mehrere Speicherzellen aufweisen, die jeweils über eine der Adresse zugeordnete Wortleitungsgruppe (WLG) aus einer oder mehreren Wortleitungen und über eine der Adresse zugeordnete Bitleitungsgruppe (BLG) aus einer oder mehreren Bitleitungen adressierbar sind,
25 wobei die Reparaturlösung angibt, ob ein fehlerhafter Speicherbereich durch ein Ersetzen der entsprechenden Wortleitungsgruppe (WLG) durch eine redundante Wortleitungsgruppe aus einer oder mehreren redundanten Wortleitungen oder durch ein Ersetzen der entsprechenden Bitleitungsgruppe (BLG) durch
30

eine redundante Bitleitungsgruppe aus einer oder mehreren redundanten Bitleitungen repariert werden soll.

6. Testeinrichtung nach Anspruch 5, wobei jeder Wortleitungsgruppe (WLG) ein erstes Speichersegment 30 mit einer ersten Anzahl von Fehleradresssspeicherplätzen zugeordnet ist, um eine erkannte Fehleradresse in dem entsprechenden ersten Speichersegment der Wortleitungsgruppe zu speichern, mit der der fehlerhafte Speicherbereich adressierbar ist, und/oder jeder Bitleitungsgruppe ein zweites Speichersegment mit einer zweiten Anzahl von Fehleradresssspeicherplätzen zugeordnet ist, um eine erkannte Fehleradresse in dem zweiten entsprechenden Speichersegment der Bitleitungsgruppe zu speichern, mit der der fehlerhafte Speicherbereich adressierbar ist,
- 15 wobei die erste Anzahl der Anzahl der vorhandenen redundanten Bitleitungsgruppen und die zweite Anzahl der Anzahl der vorhandenen redundanten Wortleitungsgruppen entspricht.

7. Testeinrichtung (20) nach Anspruch 6, wobei die Auswerteeinheit (29) als Reparaturlösung für die über eine Wortleitungsgruppe (WLG) adressierbaren, fehlerhaften Speicherbereiche unbedingt eine redundante Wortleitungsgruppe festlegt, wenn die erste Anzahl die Anzahl der vorhandenen redundanten Bitleitungsgruppen übersteigt, und für die über eine Bitleitungsgruppe (BLG) adressierbaren, fehlerhaften Speicherbereiche unbedingt eine redundante Bitleitungsgruppe festlegt, wenn die zweite Anzahl die Anzahl der vorhandenen redundanten Wortleitungsgruppen übersteigt.

8. Testeinrichtung (20) nach Anspruch 7, wobei die Auswerteeinheit (29) die Fehleradressen der unbedingt zu ersetzenden Wortleitungs- und/oder Bitleitungsgruppen (WLG, BLG) bei der Ermittlung der Reparaturlösung bezüglich der verbliebenen Fehleradressen unberücksichtigt lässt.

9. Testeinrichtung (20) nach einem der Ansprüche 5 bis 8, wobei eine Wandlerschaltung (25) vorgesehen ist, um Speicherbereichen zugeordnete Fehlerdaten in Fehleradressen umzuwandeln, indem die Fehleradresse durch die Adresse des Speicherbereichs bestimmt ist, an der ein Fehler erkannt worden ist.

10. Testsystem mit einer Testeinrichtung (20) nach einem der Ansprüche 5 bis 9 und einem Speicherbaustein (21).

11. Speicherbaustein (21) mit einer Testschaltung, um beim testen von Speicherbereichen Fehlerdaten zu generieren,

10 gekennzeichnet durch
eine Wandlerschaltung (25), um den Speicherbereichen zugeordnete Fehlerdaten in Fehleradressen umzuwandeln, indem die Fehleradresse durch die Adresse des Speicherbereichs bestimmt ist, an der ein Fehler erkannt worden ist.

15 12. Testsystem mit einer Testeinrichtung (20) nach einem der Ansprüche 5 bis 8 und einem Speicherbaustein (21) nach Anspruch 11.

Zusammenfassung

Verfahren und Testeinrichtung zum Ermitteln einer Reparaturlösung für einen Speicherbaustein

Verfahren zum Ermitteln einer Reparaturlösung für einen Speicherbaustein in einem Testsystem, wobei Speicherbereiche des Speicherbausteins nacheinander getestet werden, um für jeden Speicherbereich ein Fehlerdatum zu erhalten, das angibt, ob der jeweilige Speicherbereich fehlerhaft ist, dadurch gekennzeichnet, dass aus Adressen der Speicherbereiche und den zugehörigen Fehlerdaten Fehleradressen generiert werden, deren Adresswerte die fehlerhaften Speicherbereiche des Speicherbausteins angeben, wobei in dem Testsystem die Fehleradressen gespeichert werden, wobei aus den gespeicherten Fehleradressen die Reparaturlösung ermittelt wird.

15

Figur 4a

Figur für die Zusammenfassung

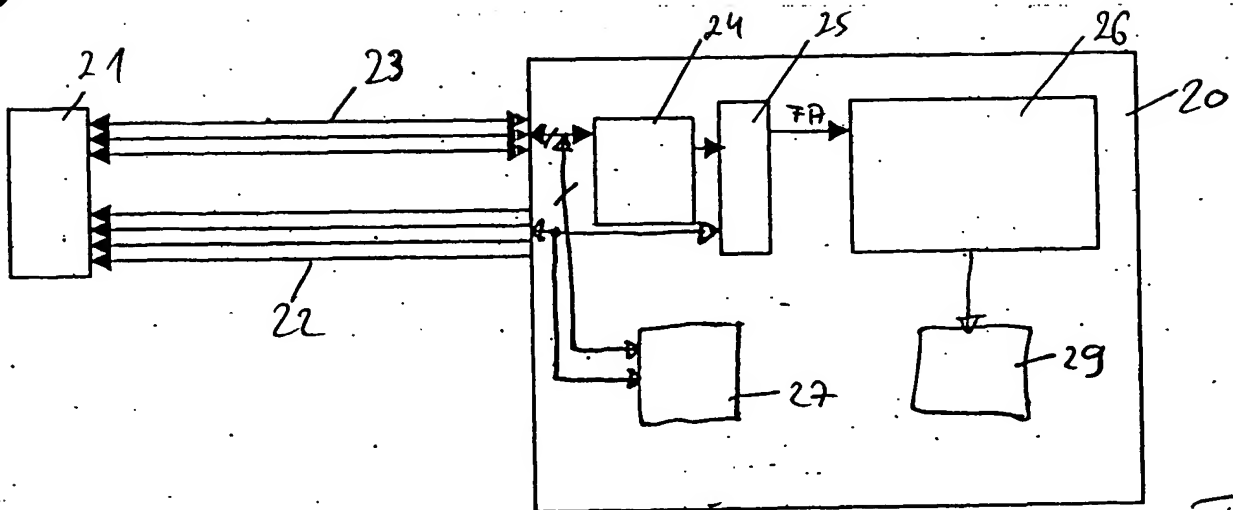


Fig. 4a

Bezugszeichenliste

1	Testeinrichtung
2	Speicherbaustein
3	Adressleitungen
4	Datenleitungen
5	Vergleichereinrichtung
6	Fehlerdatenspeicher
7	Fehlerdatenleitung
10	Speicherzellenfeld
11	redundante Bitleitungen
12	redundante Wortleitungen
20	Testeinrichtung
21	Speicherbaustein
22	Adressleitungen
23	Datenleitungen
24	Vergleichereinrichtung
25	Wandlereinheit
26	Fehleradressenspeicher
27	Teststeuereinrichtung
28	zweite Vergleicherschaltung
29	Auswerteeinheit
30	erstes Speichersegment
31	zweites Speichersegment
32	erstes Ersetzen-Register
33	zweites Ersetzen-Register

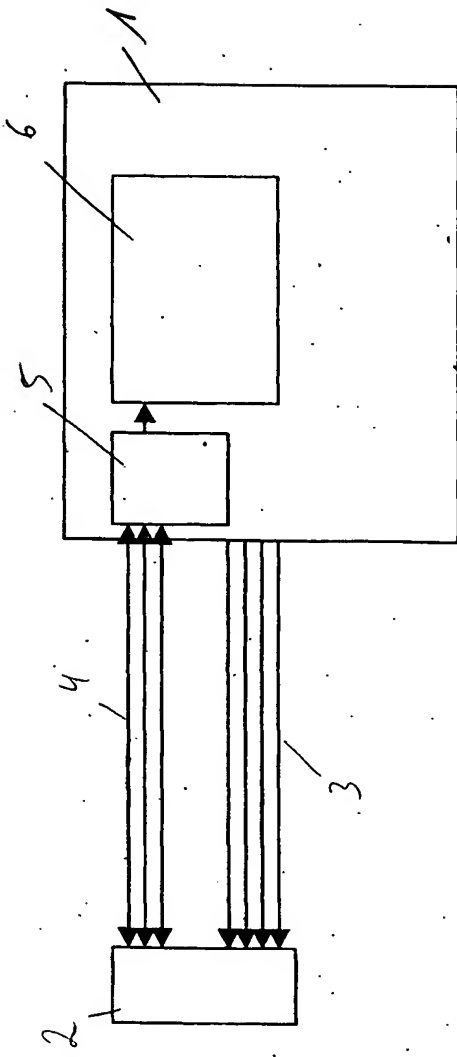


Fig. 1a

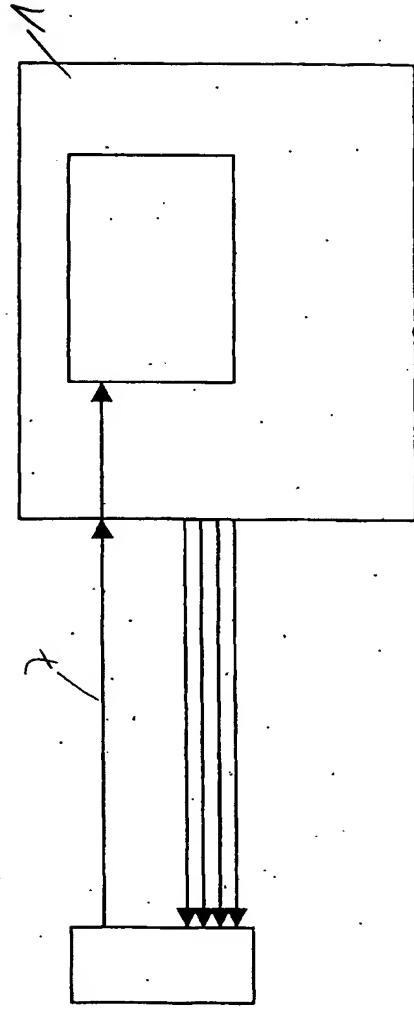
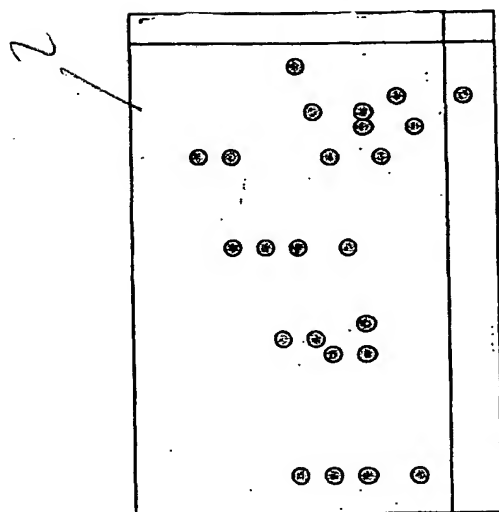
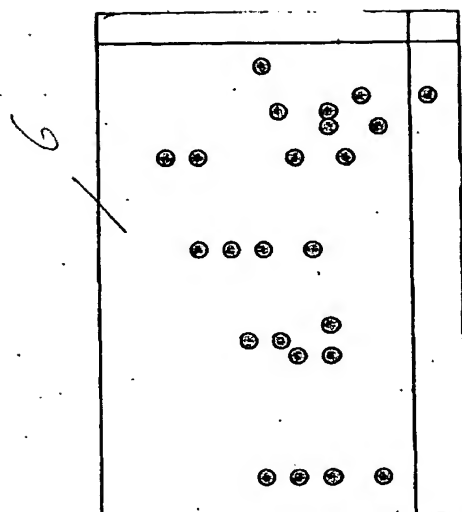
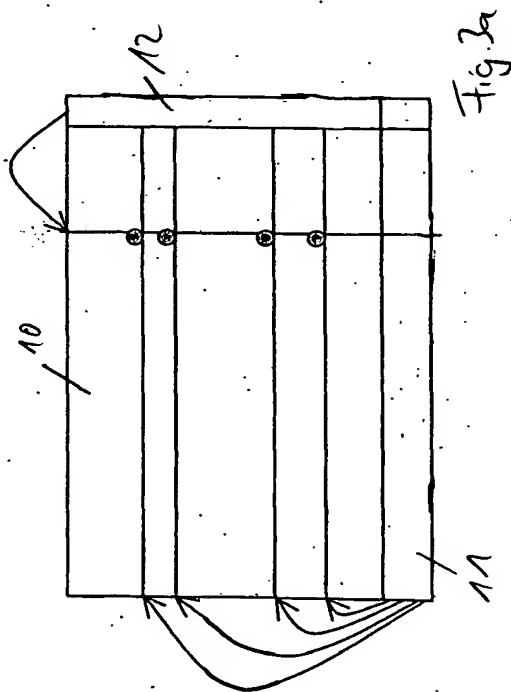
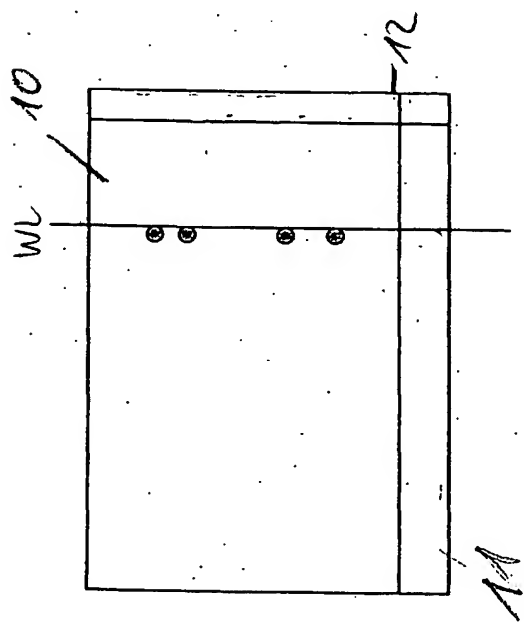
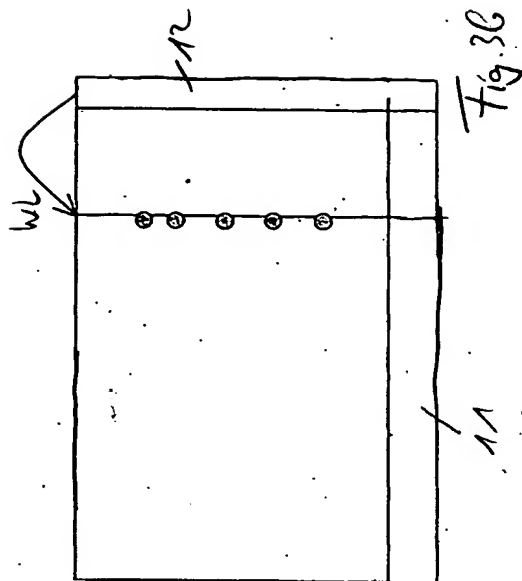
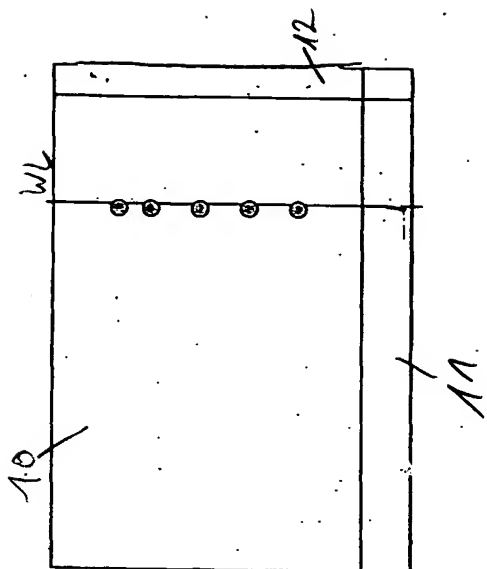


Fig. 1b

2/6

Fig. 2





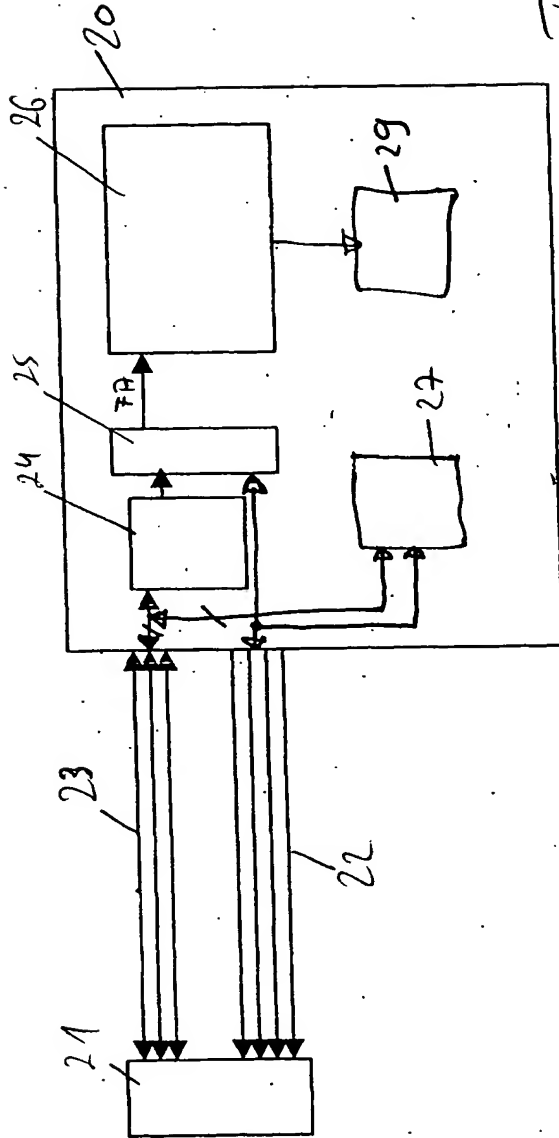


Fig. 4a

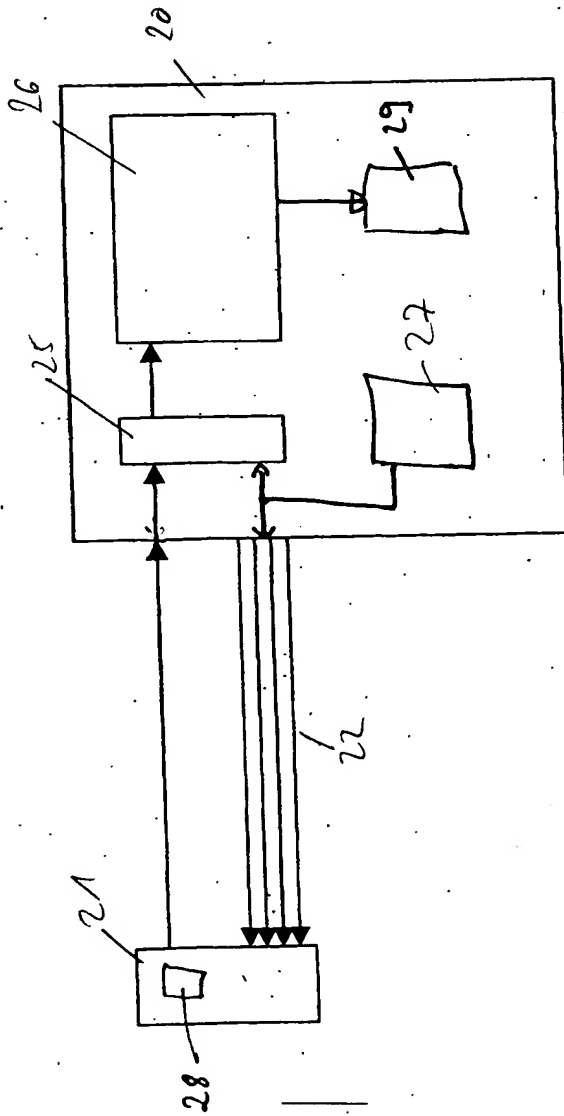
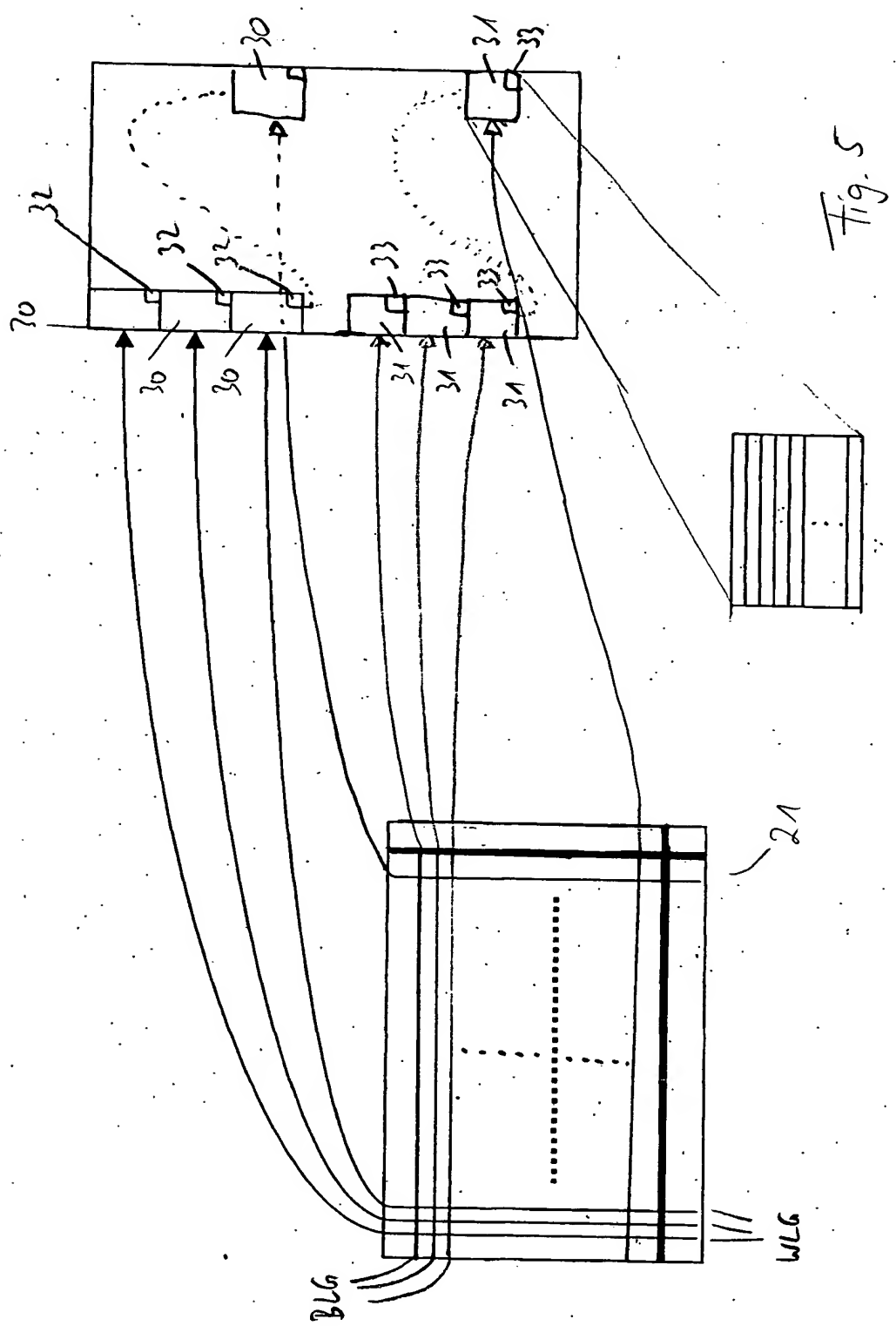


Fig. 4b

516



6/6

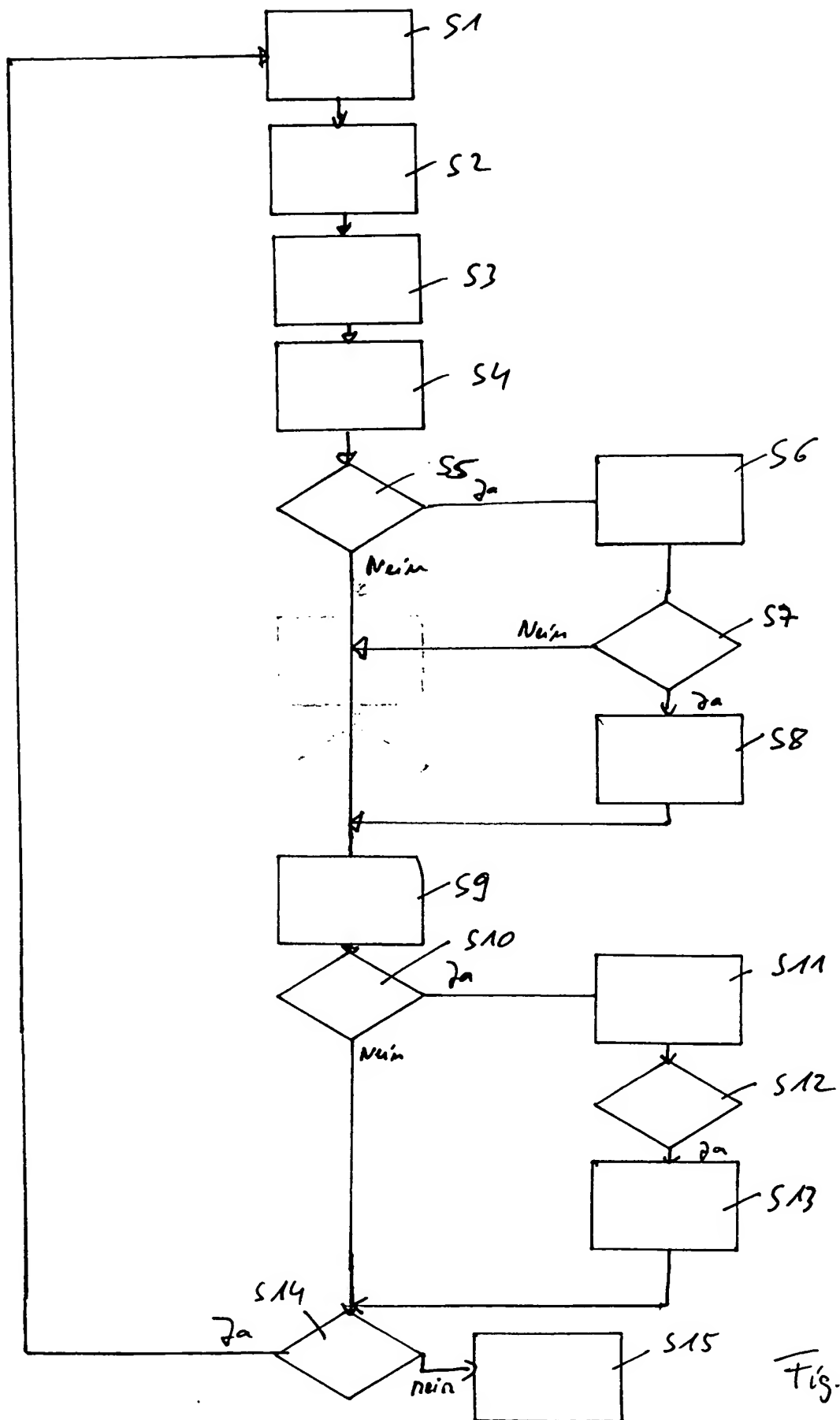


Fig. 6